

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-121014

(43)Date of publication of application : 09.06.1986

(51)Int.Cl.

G02B 6/42

G02B 6/12

H01L 27/15

H01L 31/12

(21)Application number : 59-241749

(71)Applicant : NEC CORP

(22)Date of filing : 16.11.1984

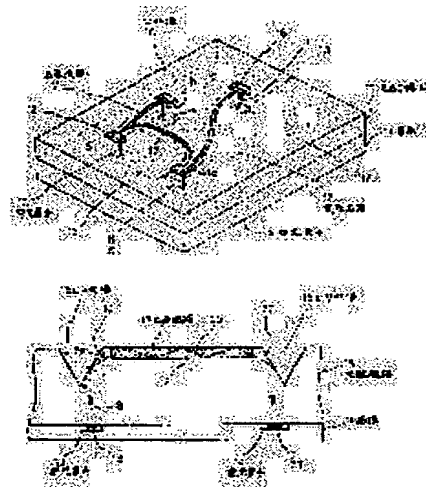
(72)Inventor : SAWANO ISATAKE

(54) OPTICAL AND ELECTRIC HYBRID INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To make the whole of a circuit small-sized, high-integration, and low-cost by integrating an electric circuit, a light emitting element, and a photodetector on the same substrate and realizing the optical and electric hybrid integrated circuit with optical coupling between the light emitting and the photodetector and an optical wiring board where an optical waveguide and V grooves are formed.

CONSTITUTION: An electric circuit 12, a light emitting element 13, and a photodetector 14 are integrated on a substrate 11, and an optical wiring board 15 is provided on this substrate 11. V grooves 16 are formed on the surface opposite to the substrate 11 of the optical wiring board 15 in accordance with the light emitting element 13 and the photodetector 14. These V grooves 16 are formed by anisotropic etching of an SiO₂ substrate constituting the optical wiring board 15, and an angle 2θ of V grooves is 70.5° in this case. An optical waveguide 17 is provided between the V groove facing the light emitting element 13 and that facing the photodetector 14; and with respect to this optical waveguide 17, for example, protons are irradiated to the SiO₂ substrate constituting the optical wiring board 15 to form a part having a high refractive index, thereby forming the optical waveguide 17.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-121014

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)6月9日

G 02 B 6/42
6/12
H 01 L 27/15
31/12

7529-2H
8507-2H
6819-5F
6819-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 光・電気混成集積回路

⑯ 特 願 昭59-241749

⑰ 出 願 昭59(1984)11月16日

⑱ 発 明 者 澤 野 駿 武 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

光・電気混成集積回路

2. 特許請求の範囲

(1) 電気回路と発光素子と受光素子とが集積された基板と、この基板の上に設けられ、前記発光素子および受光素子にそれぞれ対応するV形溝とこれらV形溝を結合する光導波路とが形成された光配線板とを備え、前記発光素子と前記光導波路との光結合および前記受光素子と前記光導波路との光結合を、前記V形溝の側面での反射を利用して行わしめることを特徴とする光・電気混成集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路と発光素子と受光素子との混成集積化構造、すなわち光・電気混成集積回路に関する。

(従来技術とその問題点)

従来、電気回路と発光素子と受光素子とが複数

個同一基板に集積された回路において、発光素子と受光素子との間の光結合は光学的プリズムによって行われてきた(特願昭54-101463号参照)。第3図および第4図は従来の光・電気混成集積回路を説明するための図であり、第3図は光・電気混成集積回路の斜視図、第4図はその光結合部の断面図である。この従来の光・電気混成集積回路は、基板1に電気回路2と発光素子3と受光素子4とが配置され、これら発光素子3および受光素子4上にはプリズム5が設けられており、電気回路と電気回路との間および電気回路と発光素子、受光素子との間は導電パターン6によって電氣的に接続されている。光結合部においては、発光素子3の発光面7より発光された光8は、プリズム5によって受光素子4の受光面9に導かれる。

このような構造の従来の光・電気混成集積回路では、プリズム5により光結合を行うために発光素子3と受光素子4とを比較的近接して配置しなければならない、さらにプリズム5を個別に配置しなければならない。従って、その集積度に制約が

加わると共に回路全体の小型化に支障をきたし、且つ、回路組立価格の低減化に障壁となっていた。

(発明の目的)

本発明の目的は、係る従来の欠点を解決し、回路全体の小型化と高集積化と価格の低減化とを図った光・電気混成集積回路を提供することにある。

(発明の構成)

本発明の光・電気混成集積回路は、電気回路と発光素子と受光素子とが集積された基板と、この基板上に設けられ、前記発光素子および受光素子にそれぞれ対応するV形溝とこれらV形溝を結合する光導波路とが形成された光配線板とを備え、前記発光素子と前記光導波路との光結合および前記受光素子と前記光導波路との光結合を、前記V形溝の側面での反射を利用して行わしめることを特徴としている。

(実施例)

次に本発明の実施例を、図面を参照して詳細に説明する。第1図および第2図は本発明の一実施例の光・電気混成集積回路を示す図であり、第1

図はその斜視図を、第2図はその光結合部の断面図をそれぞれ示している。この光・電気混成集積回路は、例えばSiO₂よりなる基板11を備えており、この基板には電気回路12と発光素子13と受光素子14とが集積されている。この基板11上には、例えばSiO₂基板から構成される光配線板15が設けられている。この光配線板15の基板11とは反対側の面には、発光素子13および受光素子14にそれぞれ対応してV形溝16が形成されている。このV形溝16は、光配線板15を構成するSiO₂基板を異方性エッチングすることにより形成することができ、この場合V形溝の角度2θは70.5°となる(第2図参照)。なお、第2図においては2個のV形溝を区別するために番号16a、16bを付して示している。発光素子13に対応するV形溝と受光素子14に対応するV形溝との間には、光導波路17が設けられており、この光導波路17は、光配線板15を構成するSiO₂基板にたとえばプロトン照射を行って、屈折率の高い部分を形成することにより実現できる。第2図によれば、発光素子13

と受光素子14と光導波路17とがV形溝16a、16bを介して光接続されている状態が明らかである。

以上のような構造の光・電気混成集積回路において、発光素子13の発光面18より発光された光8は光配線板15に設けられたV形溝16aの側面19に到達する。光配線板15の上部は、SiO₂より屈折率の低い材料、例えば空気で覆われているので、光線8と側面19のなす角θ(35.25°)はSiO₂と空気の全反射角44.42°より小さく、光8は側面19で全反射し、光導波路17に結合される。光導波路17に入射した光は、光導波路の界面20と21とで全反射を繰り返しながら進行し、V形溝16bに到達する。光8はV形溝16bの側面22で全反射し、受光素子14の受光面23に結合される。

以上のような構造の光・電気混成集積回路によれば、発光素子13と受光素子14とを光配線板15上の光導波路17とV形溝16とにより任意に接続することができるので、高集積化が可能な光・電気混成集積回路が実現できる。また、光配線板15は、マスク操作を基本とした集積回路の製造技術によ

り製作できるので、量産化、低価格化が可能な形態である。

以上、本発明の一実施例を説明したが、光配線板の材料およびV形溝の形成法および光導波路の形成法については、上記実施例に限定されことなく、上述の機能を満足すれば、任意の材料および任意の方法でも本発明の光・電気混成集積回路は実現できることは自明である。

(発明の効果)

以上説明したように本発明によれば電気回路と発光素子と受光素子とを同一基板に集積し、発光素子と受光素子との光結合を、光導波路とV形溝とが形成された光配線板により実現するようにしているので、本発明は回路全体の小型化、高集積化、低価格化に寄与することができる。

4. 図面の簡単な説明

第1図は、本発明の第一実施例の光・電気混成集積回路の構造を示す斜視図、

第2図は、第1図に示す光・電気混成集積回路の光結合部の断面図、

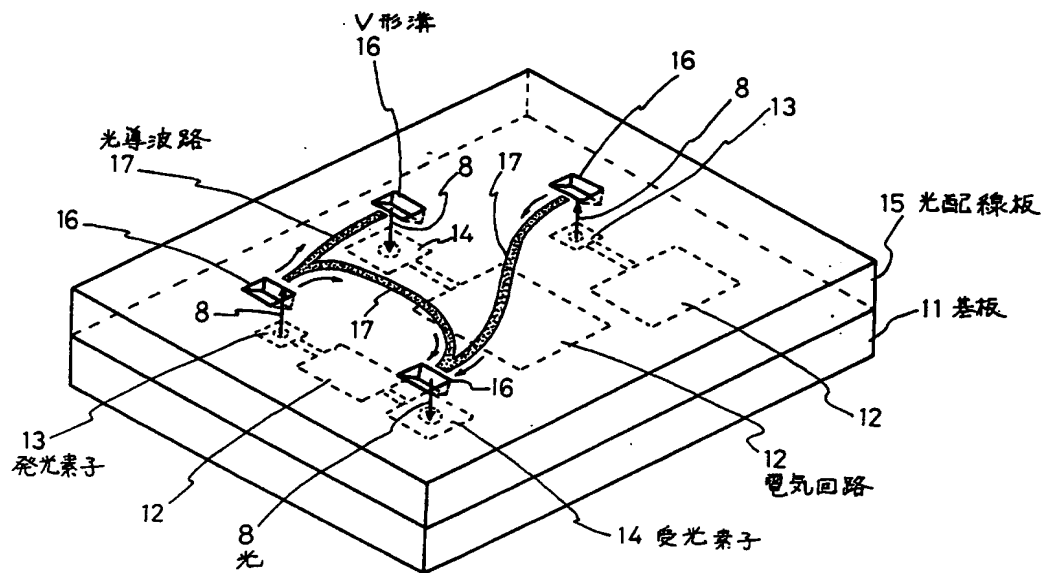
第3図は、従来の光・電気混成集積回路の構造を示す斜視図、

第4図は、第3図に示す従来の光・電気混成集積回路の光結合部の断面図である。

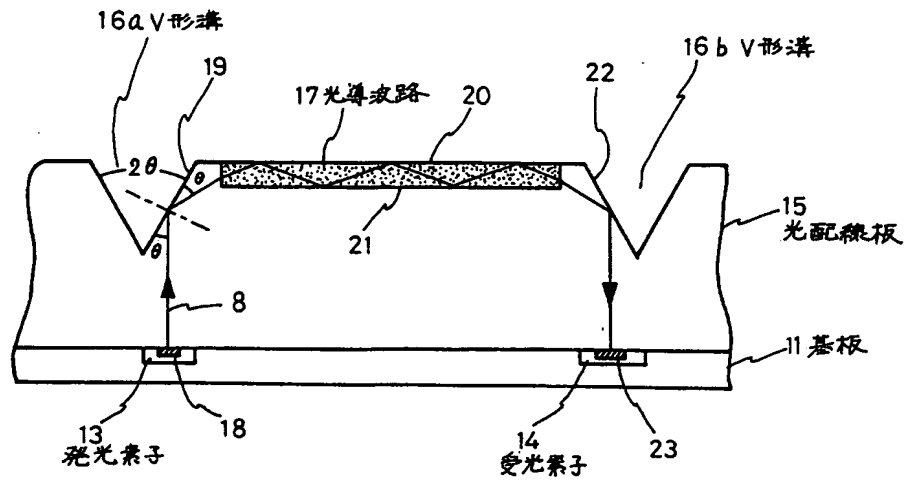
- 11 基板
- 12 電気回路
- 13 発光素子
- 14 受光素子
- 15 光配線板
- 16 V形溝
- 17 光導波路

代理人弁理士

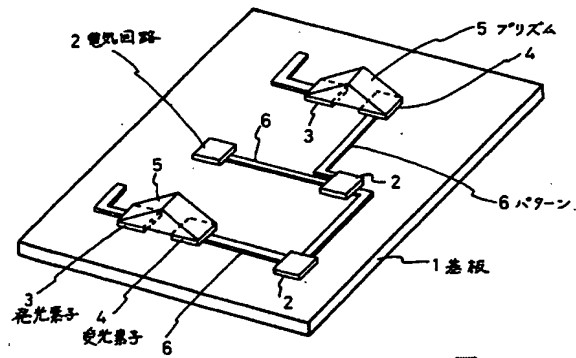
内原



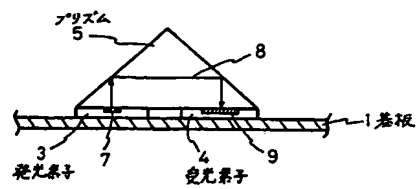
第 1 図



第 2 図



第 3 図



第 4 図